

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-039837

(43)Date of publication of application : 13.02.1998

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/1333

(21)Application number : 08-191792

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.07.1996

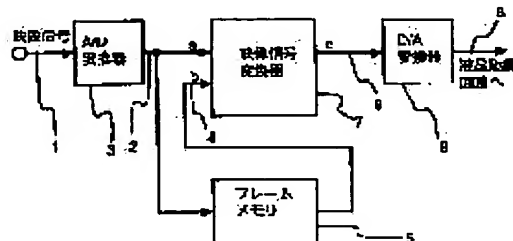
(72)Inventor : OKUBO TATSUYA
SATO HIDEO
HIROTA SHOICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the response time of liquid crystal and to reduce the deviation of gradation based on hysteresis by providing a frame memory means temporarily storing a successively inputted video signal and outputting the video signal of one frame before and outputting a liquid crystal driving signal while inputting the successively inputted video signal and the video signal of one frame before.

SOLUTION: An A/D converter 3 converts a video signal 1 being an analog signal into a digital signal 2. A frame memory means 5 temporarily stores the successively inputted video signal 1 and outputs the video signal 4 one frame before. A video signal converter 7 inputs the video signal 2 of a present frame and the video signal 4 of one frame before and outputs a liquid crystal driving signal 6. A D/A converter 9 converts the liquid crystal driving signal 6 being the digital signal into an analog signal 8, which is transmitted to a liquid crystal driving circuit. Moreover, a memory look-up table is used in the video signal converter 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-39837

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
1/1333			1/1333	

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平8-191792

(22) 出願日 平成8年(1996) 7月22日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大久保 竜也

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所映像情報メディア事業部内

(72) 発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 ▲廣▼田 昇一

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

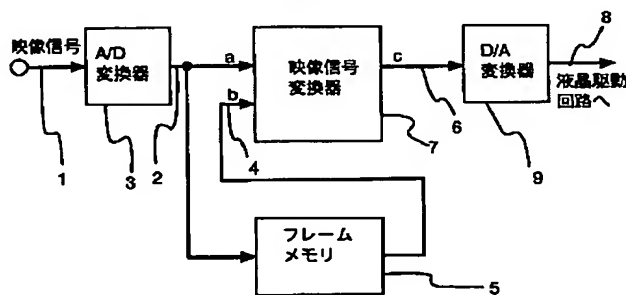
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶の応答時間短縮とヒステリシス軽減することができる液晶パネルの駆動方法を提供する。

【解決手段】 液晶表示装置は、アクティブマトリクス基板と対向電極基板との間に液晶を挟持した表示パネルと、その表示パネルの駆動回路と、順次入力される映像信号を一時記憶し1フレーム前の映像信号を出力するフレームメモリ手段5と、順次入力される映像信号2と1フレーム前の映像信号4を入力して液晶駆動信号6を出力する映像信号変換手段7で構成される。

図 1



【特許請求の範囲】

【請求項1】画素電極毎に能動素子を設けたアクティブマトリクス基板と対向電極を設けた対向電極基板との間に液晶を挟持してなる表示パネルと、その駆動回路とから構成される液晶表示装置において、順次入力される映像信号Aを一時記憶して1フレーム前の映像信号Bを出力するフレームメモリ手段と、前記映像信号Aと前記映像信号Bを入力して液晶駆動信号を出力する映像信号変換手段とを具備したことを特徴とする液晶表示装置。

【請求項2】請求項1において、前記映像信号変換手段にメモリルックアップテーブルを用いた液晶表示装置。

【請求項3】請求項2において、前記メモリルックアップテーブルの補間演算によって前記液晶駆動信号を求める液晶表示装置。

【請求項4】請求項2において、前記映像信号Bから前記映像信号Aに対応する映像を表示するとき、光学応答の変化が前記映像信号Aに対応する値と比較して等しいか、またはそれ以上となるようにメモリルックアップテーブルのデータを設定した液晶表示装置。

【請求項5】請求項1において、前記液晶に高分子分散型液晶を用いた液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画素電極毎に能動素子を配置した液晶表示装置に関する。

【0002】

【従来の技術】従来、画素電極毎に能動素子を配置した液晶表示装置の液晶は、TN（ツイストネマティック）型が用いられてきた。TN型液晶は、その旋光性を用いるため、基本的に2枚の偏光板を必要とする。偏光板は光の約半分を吸収するので、TN型液晶は光の利用効率が小さいという問題点を有している。この問題に対して、偏光板を使わなくてもよい透過－散乱型の液晶を用いることで、解決しようと試みがなされている。その液晶の一つに、高分子分散型液晶（以下PDL Cと略する）が提案されている。

【0003】PDL Cの応答時間は、例えば、黒表示から白表示もしくは白表示から黒表示の場合は数ミリ秒と短い。しかし、中間調表示から中間調表示への応答時間は、数百ミリ秒と非常に遅い。応答時間が遅いと、動きの速い動画の場合、残像が目立つという問題があった。

【0004】また、PDL Cは、電圧－表示階調特性にヒステリシスが存在する。ヒステリシスが存在すると、表示画像の変化時に階調のずれが生じる。このため、表示画像によっては、前画面の情報が残るという問題（ヒステリシスに基づく残像）があった。図3はPDL Cの電圧－表示階調特性のヒステリシスとそれによる階調のずれを示したものである。PDL Cの表示階調は、電圧の昇圧過程と降圧過程で異なる。このため、PDL Cの

表示階調は過去の表示状態に依存する。例えば、256階調表示とし、このPDL Cの特定画素に電圧V0を印加したとする。その画素の階調がV0を印加する前に0だった場合、A1の階調が表示される。一方、その画素の階調がV0を印加する前255だった場合、A2の階調が表示される。このように、同じ電圧を印加しても、その画素の過去の履歴に依存して、表示階調が異なるという問題が生じる。

【0005】このように、液晶表示装置の表示特性は、液晶の特性に大きく依存する。このため、液晶の応答時間遅れとヒステリシス特性による残像を抑制する駆動方法が必要となる。これまで、その駆動方法について、従来例は、特開平5-40252号公報、特開平5-153530号公報、特開平7-20828号公報などがある。

【0006】特開平5-40252号公報は、振幅の異なる二つの電圧を繰り返し印加することにより、表示階調を二値の間で変化させる駆動方法である。この方法により、電圧の昇圧時と降圧時との差を減らすことにより残像現象を軽減することができる。しかし、液晶材料によっては、表示階調を二値の間で変化させることにより、フリッカが目立つという問題があり、逆に表示品質を悪化させるという問題があった。また、この方法は、ヒステリシスに基づく残像現象を改善することはできるが、応答時間に基づく残像問題は解決されていなかった。

【0007】特開平5-153530号公報は、フレーム間の動き検出回路を用いて、階調データに補正係数を掛けるという方法である。しかし、実際の高分子分散型液晶の応答特性で、階調変化のパターンによっては数百msしかかって応答する場合が存在する。従って、この方法に基づいてヒステリシスを改善するように補正係数を乗じて、液晶が必ずしも1フレーム以内に応答することができない。従って、この方法では1フレーム以上しかかって応答する応答時間の遅い液晶について、ヒステリシスを改善することはできない。

【0008】特開平7-20828号公報は、特開平5-153530号公報の手段に、応答予測手段を用いる方法である。この方法は、応答時間とヒステリシスの両方を解決することができるが、回路規模が大きくなるという問題があった。

【0009】

【発明が解決しようとする課題】本発明の目的は、液晶の応答時間が遅いために生じていた残像を発生する液晶表示装置に対して、そのような残像を目立たなくさせる液晶表示装置を提供することにある。

【0010】さらに、本発明は、どんな表示パターンでも、液晶の応答時間を短縮するようにした液晶表示装置を提供するものである。

【0011】さらに、本発明は、PDL Cのような電圧－表示階調にヒステリシスを持つような液晶に対して、単にヒステリシスに基づく残像をなくすだけでな

く、さらに液晶の応答時間を短縮するようにし、かつ、回路規模の小さい液晶表示装置を提供するものである。

【0012】

【課題を解決するための手段】本発明の液晶表示装置は、アクティブマトリクス基板と対向電極基板との間に液晶を挟持した表示パネルと、その表示パネルの駆動回路と、順次入力される映像信号を一時記憶し1フレーム前の映像信号を出力するフレームメモリ手段と、前記順次入力される映像信号と前記1フレーム前の映像信号を入力して液晶駆動信号を出力する映像信号変換手段で構成される。

【0013】さらに、本発明の液晶表示装置は、前記映像信号変換手段にメモリルックアップテーブルを設けている。

【0014】さらに、本発明の液晶表示装置は、前記メモリルックアップテーブルに補間演算を設けている。

【0015】さらに、本発明の液晶表示装置は、前記液晶に高分子分散型液晶を用いている。

【0016】

【発明の実施の形態】図1は本発明における実施例の要部のブロック図である。アナログ信号である映像信号1をデジタル信号2に変換するA/D変換器3、順次入力される映像信号1を一時記憶して1フレーム前の映像信号4を出力するフレームメモリ手段5、現フレームの映像信号2と1フレーム前の映像信号4を入力して液晶駆動信号6を出力する映像信号変換器7、デジタル信号である液晶駆動信号6をアナログ映像信号8に変換するD/A変換器9から構成される。映像信号8は、図2に示される液晶駆動回路11に送られる。また、映像信号変換器7には、図3に示すようなメモリルックアップテーブルが用いられている。ルックアップテーブルは、現フレームの映像信号の階調値と1フレーム前の映像信号の階調値の二値を引数とし、液晶に印加すべき電圧データが格納されている。例えば、現フレームの映像信号の階調値がa、1フレーム前の映像信号の階調値がbとすると、液晶に印加すべき電圧データはcとなる。なお、図1における映像信号1は、ビデオ信号のR、G、B信号に対して同じ処理を行うので、ここではそのうちの1チャンネルのみ示している。

【0017】図2は液晶駆動回路11及び液晶表示パネル12の構成である。液晶駆動回路11は、映像信号制御部13、データ線駆動回路14、走査線駆動回路15から構成される。また、液晶表示パネル12は、画素16ごとに能動素子17を設けたアクティブマトリクス基板18と、対向電極19を設けた対向電極基板20との間に液晶を挟持している。

【0018】次に、ルックアップテーブルの値をどのように決めるかを説明する。図4(a)は、本発明の特定画面における印加電圧を示す波形例である。図4(b)は、図4(a)の印加電圧による液晶の階調変化の模式

的に示したものである。図4で、入力されてくる階調信号の時間的な遷移は、時刻 t' で階調値a、時刻 t_0 から時刻 t_3 は階調値bとする。すなわち、時刻 t_0 を境に階調はbからaへ変化したとする。ここで、言葉の定義は、1フレーム前の階調値を現在階調値とし、現フレーム階調値を目標階調値とし、映像信号変換器で変換された映像信号の階調値を印加階調値とする。現在階調値bおよび目標階調値aに対応する印加階調値をcとし、bはaより小さいとする。また、階調値a、b、cそれぞれに対応する電圧値を V_a 、 V_b 、 V_c とする。図4(b)波形1は、従来の駆動方法(目標階調値に対応した電圧を印加する方法)により、時刻 t_0 から時刻 t_3 まで V_a を印加した場合の液晶の光学応答である。波形1の応答時間は $(t_3 - t_0)$ 時間である。図4(b)の波形3は、時刻 t_0 から時刻 t_3 まで V_c を印加した場合の液晶の光学応答である。波形3は、時刻 t_1 で表示階調はちょうどaとなる。図4(b)の波形2は、時刻 t_0 から時刻 t_1 まで V_c を印加し時刻 t_1 から時刻 t_3 まで V_a を印加した場合で、すなわち、図4(a)のように電圧を印加した場合の液晶の光学応答である。従って、図4(a)のような電圧を印加することにより、1フレーム以内に液晶の応答が完了することができる。従って、階調変化の全パターンに対応する印加電圧値cをあらかじめ求めることにより、ルックアップテーブルを作ることができる。

【0019】以下、液晶表示素子にPDL Cを用いた液晶表示装置について、発明の実施形態を述べる。もちろん、TN(ツイストネマテック)型などのような他の液晶にも、本発明は適用することができる。

【0020】本発明の動作を図7の(a)(b)(c)を用いて説明する。前提条件として、映像信号の階調値が、時間 t_0 で階調値bから階調値aに変化したとする。図7(a)は、図2で実際の液晶に印加される電圧波形図である。図7(a)の V_a 、 V_b 、 V_c は、各々階調a、b、cに相当する電圧値である。また、1フレームを33ms(周波数30Hz)とした。図7(b)は、図7(a)の印加電圧波形により、PDL Cの透過率に変化し、その表示階調の変化を示したものである。図7(b)の波形1、2、3は、図7(a)の t_0 から t_1 時間の印加電圧値を変化させたときの、PDL Cの表示階調変化を示したものである。

【0021】波形1は $V_c = V_a$ の場合で、すなわち、従来の駆動方法(目標階調値に対応した電圧を印加する方法)である。階調がbからaに変化する時間(bからaに変化する率を100%とすると0%から90%に到達するまでの時間、これを応答時間という)は、 t_3 時間要する。しかし、波形1は、目標階調値aに到達することはできない。なぜならば、PDL Cの電圧-階調特性におけるヒステリシス現象だからである。ここで、目標階調値は、電圧-階調特性の印加電圧の昇圧過程と降

圧過程の平均値としている。

【0022】図5はPDLCの電圧-表示階調特性のヒステリシスとそれによる階調のずれを示したものである。図5に示されるように、PDLCの表示階調は、電圧の昇圧過程と降圧過程で異なる。このため、PDLCの表示階調は過去の表示状態に依存する。例えば、256階調表示とし、このPDLCの特定画素に電圧V0を印加したとする。その画素の階調がV0を印加する前に0だった場合、A1の階調が表示される。一方、その画素の階調がV0を印加する前255だった場合、A2の階調が表示される。このように、同じ電圧を印加しても、その画素の過去の履歴に依存して、表示階調が異なるという問題が生じる。この問題を解決するため、図7(b)波形2は $V_c > V_b$ でかつオーバーシュートしない電圧を印加する方法(発明の構成は全く異なるが、特開平7-20828号公報と同じような電圧印加方法)がある。応答時間は t_4 となり、波形1と比較して速くなる。しかし、波形2は一瞬、目標階調値aに到達したかのように見えるが、時間 t_1 を過ぎたら、液晶の表示階調が元に戻る方向へ減衰してしまう。なぜならば、PDLCの応答特性が、領域によって異なるからである。PDLCは、図8に示すように、高分子膜中にドロップレット状の液晶が分散配置され、この高分子膜を挟むように電極が対向配置されたものである。このドロップレット状の液晶の例えば高分子膜との界面領域と、中央領域とでは、応答特性が異なる。すなわち、界面ほど応答が遅く、中央領域ほど応答が速い。このような液晶に電圧を印加した場合、ドロップレット状の液晶の中央領域がまず応答し、界面領域がゆっくりと応答する。従って、図7(b)波形2の場合、中央領域の V_c まで電圧応答していた液晶が電圧 V_a に相当する配向に戻り、1フレームではまだ追従し切れていなかった界面の液晶がゆっくりと応答を続けている。そのために、表示階調が少し戻る。ヒステリシス現象の原因は、特にこの界面の液晶の配向部分であり、従って界面の液晶の配向部分が表示階調aに到達していない以上、ヒステリシス問題を解決することはできない。

【0023】この問題を解決するにはさらに、工夫が必要である。例えば、図6で0階調からA3という階調表示させたい場合は、A4までオーバーシュートの階調レベルを印加する。一方、255階調からA3という階調表示させたい場合は、A5までオーバーシュートの階調

レベルを印加する。オーバーシュートさせた結果、V3という電圧を印加したとき、目標のA3という階調が表示することができる。従って、オーバーシュートさせるような電圧を印加することにより、ヒステリシスをなくすることができる。

【0024】図7(b)波形3は、 $V_c > V_b$ でかつ、階調dまでオーバーシュートさせるように電圧を印加したときの場合である。応答時間は、オーバーシュートするので、変化率の90~100%内に落ち着くのは、波形Bに比較してやや長く t_5 までかかる。しかし目標階調aに到達することができ、従ってPDLCのヒステリシスに基づく階調のずれをなくすることができる。

【0025】なお、本発明は上述した実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々に変形して実施することができる。

【0026】

【発明の効果】本発明は、画素毎に能動素子を配置した液晶表示装置で、映像信号変換器及びフレームメモリを付加するだけで、その駆動方法を改善することができる。従って、液晶の応答時間が短縮化し、しかもそれと同時にヒステリシスに基づく階調のずれが軽減される。本発明によって、残像現象がなくなり、飛躍的に表示品質が向上する。

【図面の簡単な説明】

【図1】本発明の要部構成を示すブロック図。

【図2】液晶表示装置の構成を示す説明図。

【図3】メモリルックアップテーブルの説明図。

【図4】本発明の特定画素における印加電圧を示す波形例とその印加電圧によるPDLCの階調変化の説明図。

【図5】PDLCの電圧-階調特性のヒステリシスを示した説明図。

【図6】ヒステリシスがなくなることの説明図。

【図7】本発明の特定画素における印加電圧を示す波形例とその印加電圧によるPDLCの階調変化を示した説明図。

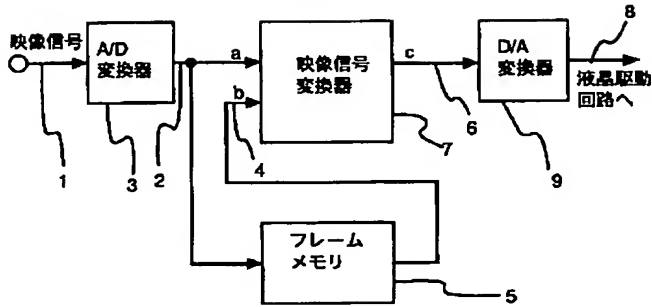
【図8】PDLCの構成を示す説明図。

【符号の説明】

1…入力アナログ映像信号、2…デジタル映像信号、3…A/D変換器、5…フレームメモリ、6…液晶駆動信号、7…映像信号変換器、8…液晶駆動回路へ出力する映像信号、9…D/A変換器。

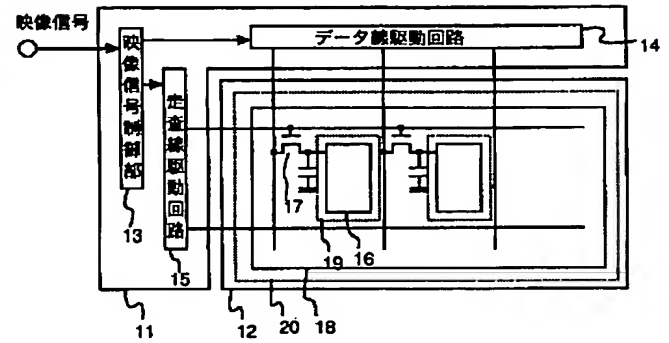
【図1】

図 1



【図2】

図 2



【図3】

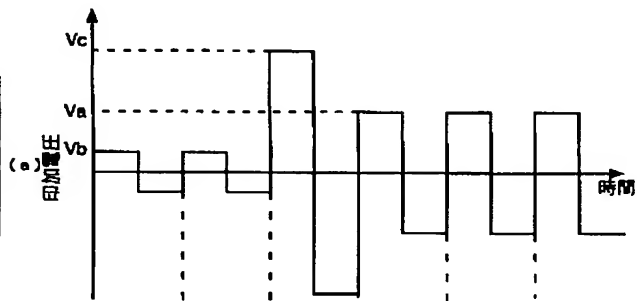
図 3

ルックアップテーブル

	1フレーム前の階調値	b
現フレーム階調値		
a	c	

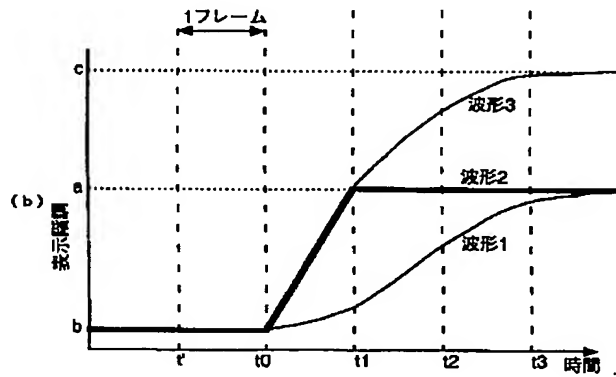
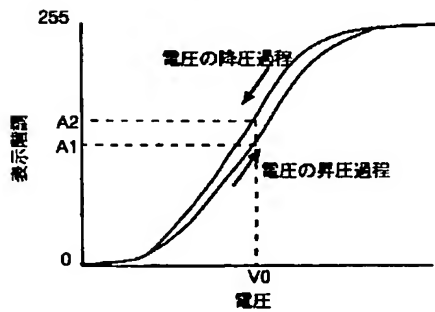
【図4】

図 4



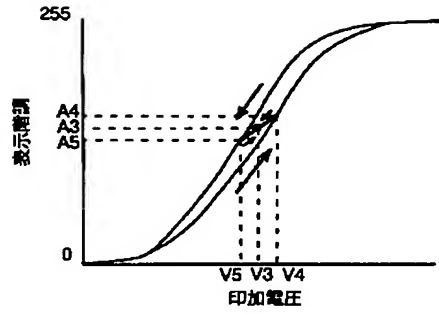
【図5】

図 5



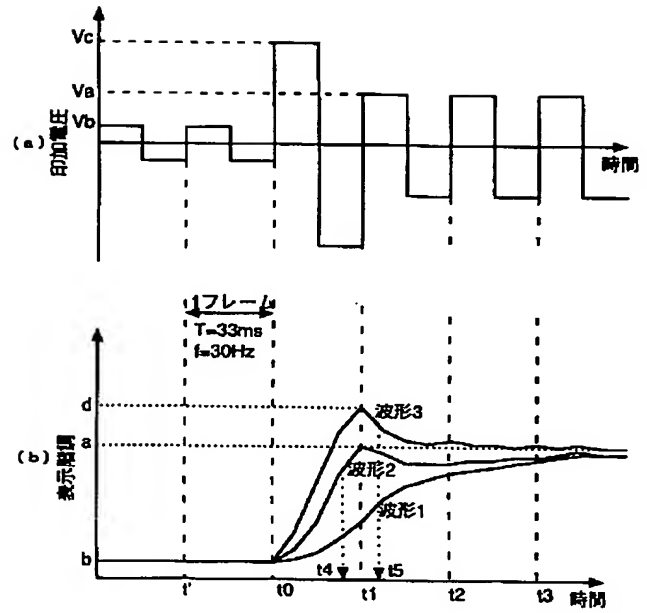
【図6】

図 6



【図7】

図 7



【図8】

図 8

